Санкт-Петербургский политехнический университет Петра Великого

Кафедра компьютерных систем и программных технологий

**Отчёт по лабораторной работе**

**Дисциплина**: Схемотехника операционных устройств

**Тема**: Задание тактовой частоты и анализ регистровых передач.

Управление Tco.

Вариант-5

Выполнил студент гр. 23531/5 И.Д. Иванов

(подпись)

Преподаватель А.С. Филиппов

(подпись)

“\_\_\_”\_\_\_\_\_\_\_\_\_\_\_\_\_ 2019 г.

Санкт-Петербург

2019

1. **Цели работы**

Задание требований к тактовой частоте работы синхронного проекта и к времени Tco.

Анализ результатов синтеза проекта с заданными временными требованиями с помощью Timing Quest Timing Analyzer и управление временными задержками.

1. **Создание проекта**

В ходе работы будет использоваться следующая схема:

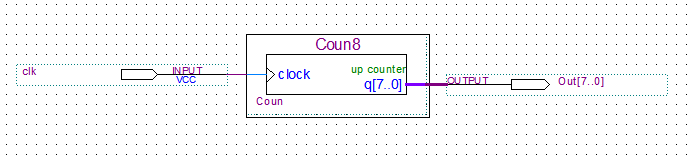


Рис.1.

**Размещение проекта**

Назначение выводов было выполнено в соответствии с вариантом:

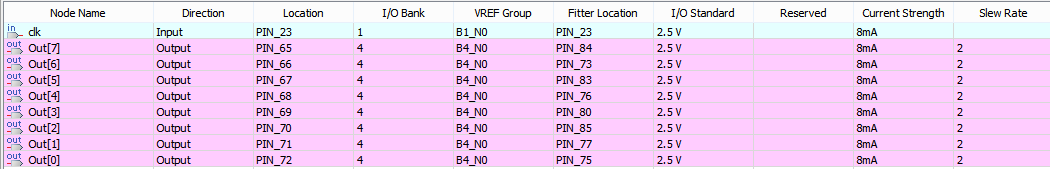


Рис.2.

**Анализ задержек при отсутствии временных требований.**

В отчете о компиляции Clocks требование к тактовой частоте соответствует заданному (по умолчанию 1ГГц):

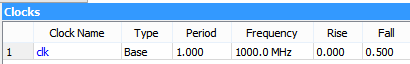
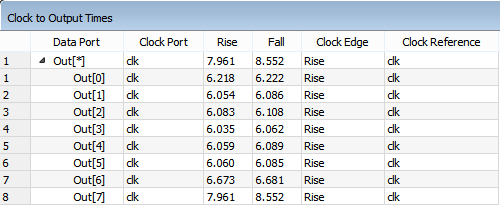


Рис.3. Clocks



Рис.4. Fmax Summary



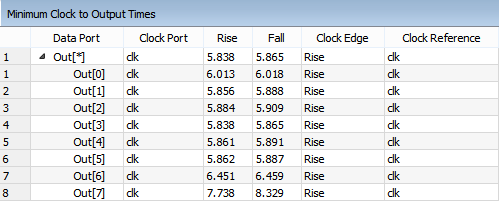
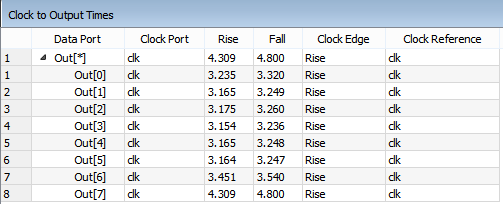


Рис.5. Clock to Output Times, Minimum Clock to Output Times для медленной модели



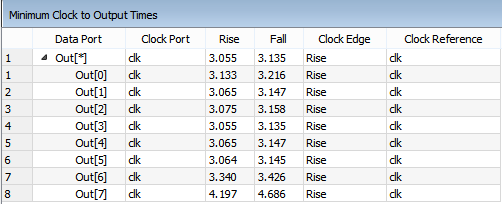


Рис.6. Clock to Output Times, Minimum Clock to Output Times для быстрой модели

**3. Задание временных требований.**

**Задание временных требований к тактовой частоте проекта.**

Создан .sdc-файл в соответствии с вариантом:



Рис.7.

**Компиляция и анализ регистровых передач.**

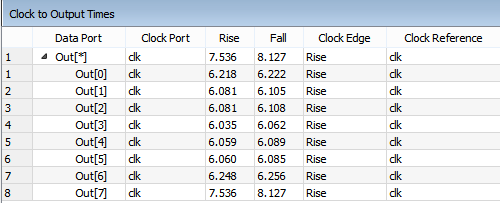
В отчете о компиляции Clocks требование к тактовой частоте соответствует заданному значению:



Рис.8.



Рис.9. Fmax Summary



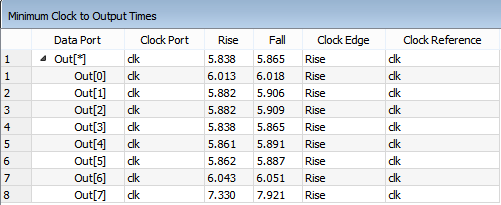
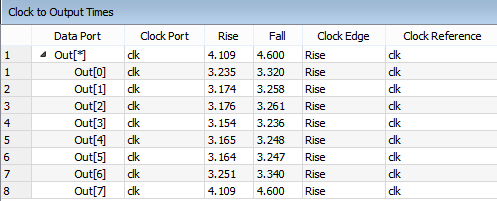


Рис.10. Clock to Output Times, Minimum Clock to Output Times для медленной модели



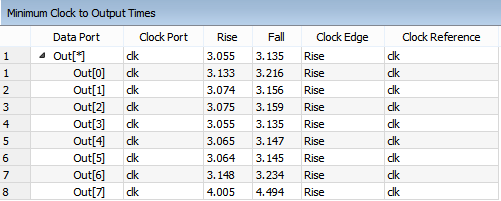
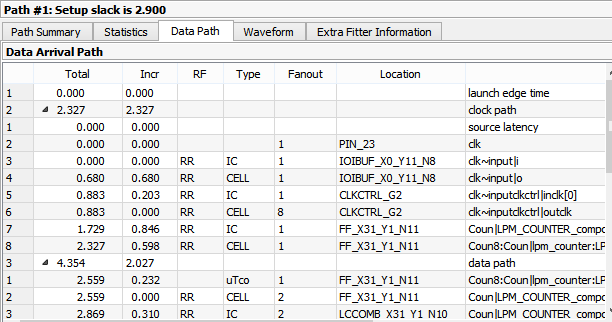


Рис.11. Clock to Output Times, Minimum Clock to Output Times для быстрой модели

Допуск на Tsu в отчете Setup Summary имеет положительное значение:



Рис.12.



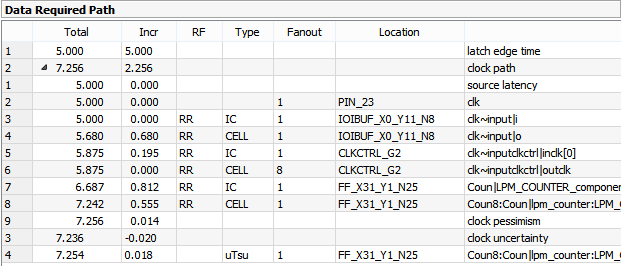


Рис.13. Data Arrival Path, Data Required Path

В отчете Data Arrival Path на рис.13. видно, что полное прохождение тактового сигнала = 2.327 ns. Время uTco = 0.232 ns.

В отчете Data Required Path видно, что время uTsu = 0.018 ns.

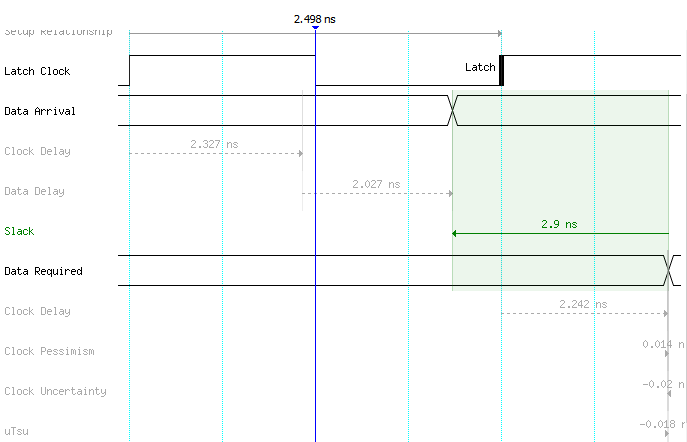


Рис.14. Временная диаграмма

Локализация на Chip Planner:

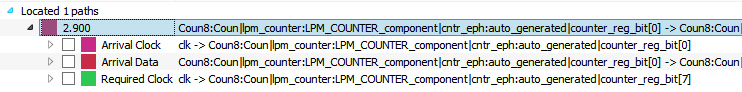


Рис.15. Окно Local History.

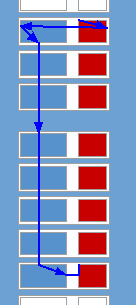


Рис.16. Фрагмент пути доставки сигналов

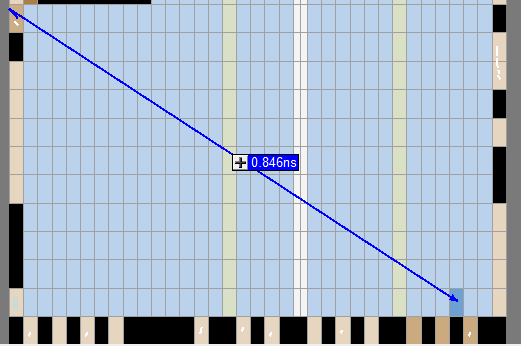


Рис.17. Путь доставки сигнала со значениями задержек

**Задание временных требований к времени Tco проекта.**

Отчет Unconstrained Paths показывает, что не заданы временные требования для выходных путей:

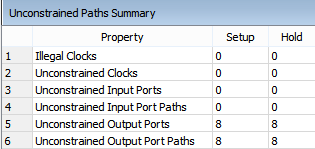


Рис.18.Report Unconstrained Paths

Установлены временные требования к Tco в соответствии с вариантом:

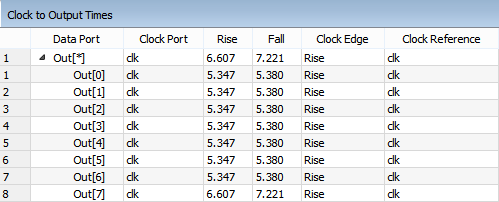


Рис.19. Измененный .sdc-файл

**Компиляция и анализ времени Tco.**



Рис.20. Fmax Summary



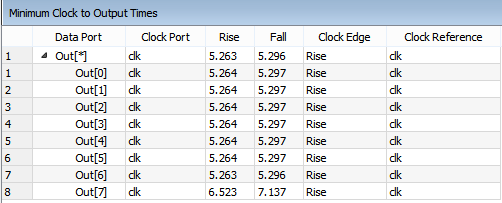
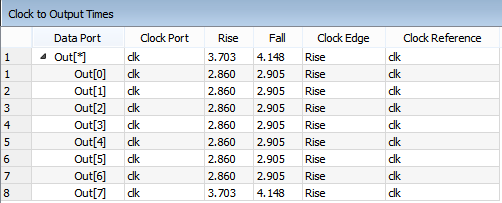


Рис.21. Clock to Output Times, Minimum Clock to Output Times для медленной модели



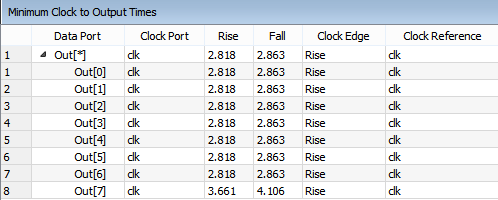


Рис.22. Clock to Output Times, Minimum Clock to Output Times для быстрой модели

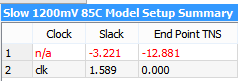


Рис.23. Setup Summary

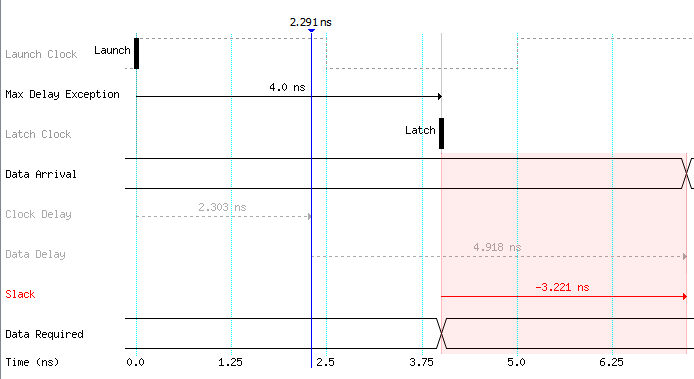


Рис.24. Временная диаграмма

Триггер, с выхода которого сигнал идет на выходной вывод расположен в элементе ввода-вывода:

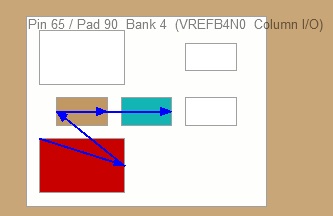


Рис.25.

**Использование PLL для управления временем Tco.**

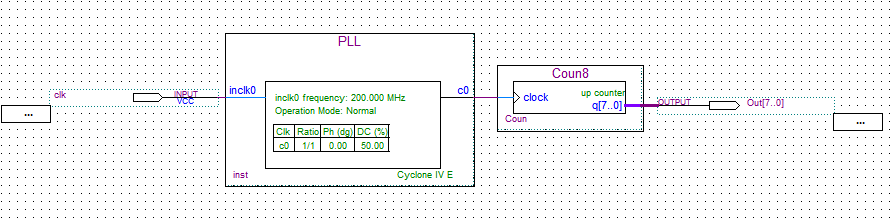


Рис.26. Схема проекта с PLL

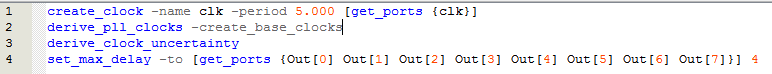


Рис.27. Измененный .sdc-файл

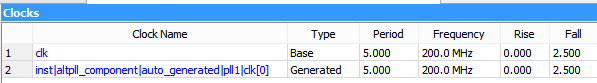


Рис.28. Отчет о компиляции Clocks



Рис.29. Fmax Summary

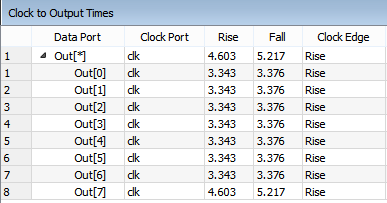
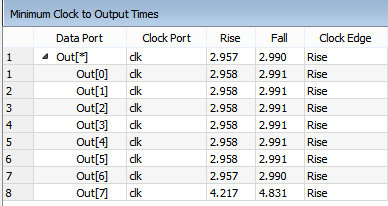
 

Рис.30. Clock to Output Times, Minimum Clock to Output Times для медленной модели

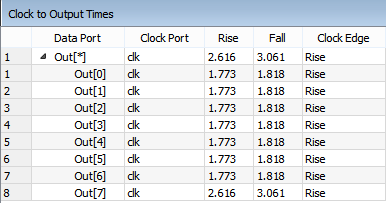
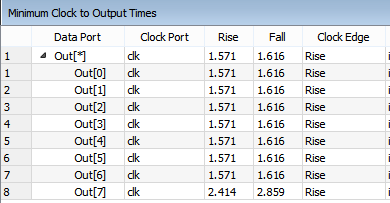
 

Рис.31. Clock to Output Times, Minimum Clock to Output Times для быстрой модели

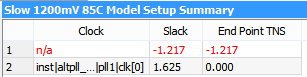


Рис.32. Setup Summary

По временной диаграмме видно, что Clock Delay мало:

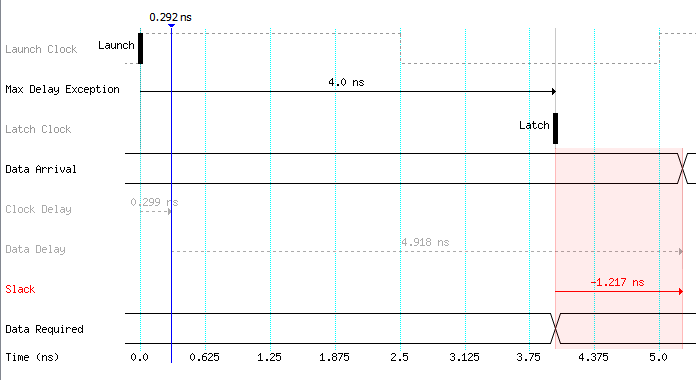


Рис.33.

**Управление временем Tco заданием фазы частоты, формируемой PLL.**

Задание сдвига фазы для PLL выполнено в соответствии с вариантом:



Рис.34.

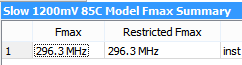


Рис.35. Fmax Summary

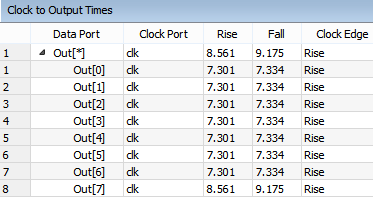
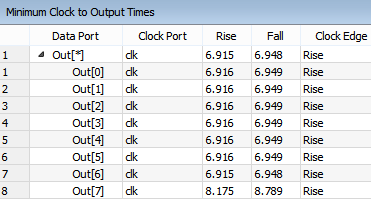
 

Рис.36. Clock to Output Times, Minimum Clock to Output Times для медленной модели

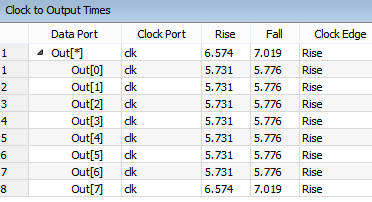
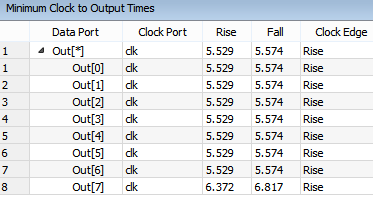
 

Рис.37. Clock to Output Times, Minimum Clock to Output Times для быстрой модели

**Анализ влияния нагрузочных цепей выходных выводов (нагрузочной модели) на временные характеристики проекта.**

Задание Near Pull-up Resistance и Near Capacitance:

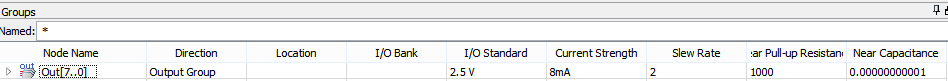


Рис.38.



Рис.39. Fmax Summary

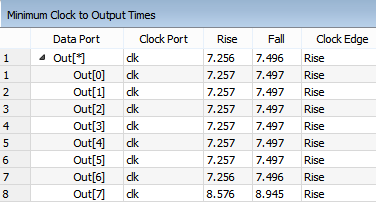
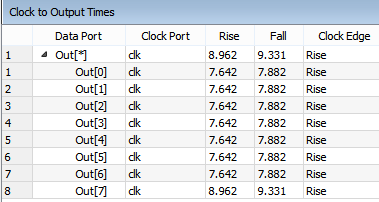


Рис.40. Clock to Output Times, Minimum Clock to Output Times для медленной модели

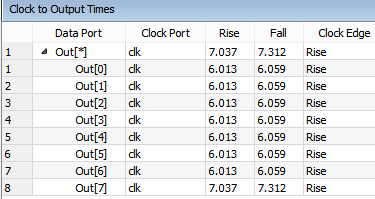
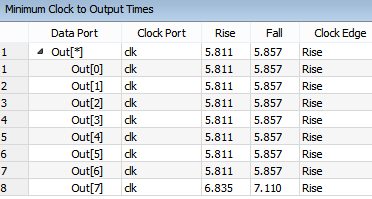
 

Рис.41. Clock to Output Times, Minimum Clock to Output Times для быстрой модели

Исследование влияния временных требований на тактовые частоты и аппаратурные затраты представлено в таблице 1.

Таблица 1.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Эксперимент по заданию временных требований | **Fmax**  Модель Slow 85C | **Restricted Fmax**  Модель Slow 85C | Полное время компиляции **Total** | Кол-во FF |
| П.3.1.3.  Требований нет | 508.13 | 250.00 | 36 | 8 |
| П.3.2.2.  Создан .sdc-файл | 476.19 | 250.00 | 46 | 8 |
| П.3.2.4.  Задано Tco max | 293.17 | 250.00 | 51 | 16 |
| П.3.2.5. Подключен PLL | 296.3 | 296.3 | 58 | 16 |
| П.3.2.6.  Коррекция фазы PLL | 296.3 | 296.3 | 49 | 16 |
| П.3.2.7.  Задана нагрузочная модель | 296.3 | 296.3 | 56 | 16 |

Исследование возможностей по управлению Tco представлено в таблицах 2-3.

Таблица 2.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Эксперимент по управлению Tco | Модель Slow 85C Максимальная задержка RR | | | | Модель Slow 85C Минимальная задержка RR | | | |
| Output Port | Rise | Fall | Δt | Output Port | Rise | Fall | Δt |
| П.3.1.3.  Требований нет | 7 | 7.961 | 8.552 | 0.591 | 3 | 5.838 | 5.865 | 0.027 |
| П.3.2.2.  Создан .sdc-файл | 7 | 7.536 | 8.127 | 0.591 | 3 | 5.838 | 5.865 | 0.027 |
| П.3.2.4.  Задано Tco max | 7 | 6.607 | 7.221 | 0.614 | 6 | 5.263 | 5.296 | 0.033 |
| П.3.2.5. Подключен PLL | 7 | 4.603 | 5.217 | 0.614 | 6 | 2.957 | 2.990 | 0.033 |
| П.3.2.6.  Коррекция фазы PLL | 7 | 8.561 | 9.175 | 0.614 | 6 | 6.915 | 6.948 | 0.033 |
| П.3.2.7.  Задана нагрузочная модель | 7 | 8.962 | 9.331 | 0.369 | 6 | 7.256 | 7.496 | 0.24 |

Таблица 3.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Эксперимент по управлению Tco | Модель Fast 0C Максимальная задержка RR | | | | Модель Fast 0C Минимальная задержка RR | | | |
| Output Port | Rise | Fall | Δt | Output Port | Rise | Fall | Δt |
| П.3.1.3.  Требований нет | 7 | 4.309 | 4.800 | 0.491 | 3 | 3.055 | 3.135 | 0.08 |
| П.3.2.2.  Создан .sdc-файл | 7 | 4.109 | 4.600 | 0.491 | 3 | 3.055 | 3.135 | 0.08 |
| П.3.2.4.  Задано Tco max | 7 | 3.703 | 4.148 | 0.481 | 0-6 | 2.818 | 2.863 | 0.045 |
| П.3.2.5. Подключен PLL | 7 | 2.616 | 3.061 | 0.445 | 0-6 | 1.571 | 1.616 | 0.045 |
| П.3.2.6.  Коррекция фазы PLL | 7 | 6.574 | 7.019 | 0.445 | 0-6 | 5.529 | 5.574 | 0.045 |
| П.3.2.7.  Задана нагрузочная модель | 7 | 7.037 | 7.312 | 0.275 | 0-6 | 5.811 | 5.857 | 0.046 |

**Вывод**

В ходе данной работы исследованы влияния временных требований к тактовой частоте и времени Tco. Были исследованы влияния использования PLL для управления временем Tco и нагрузочных цепей выходных выводов на временные характеристики проекта.